



ICeGaN™ HEMT PCB 布局指南

应用说明

CGD-AN2207

2022 年 3 月



ICeGaN™ HEMT PCB 布局指南

CGD-AN2207

2022 年 3 月

作者

JOHN FINDLAY

应用工程师

CHRIS RICHARDSON

应用工程师

本应用说明中包含

03

摘要和简介

文档简介和范围定义

04

ICeGaN™ 概述

ICeGaN™ 技术概述

05

ICeGaN™ HEMT 封装

可用 ICGaN™ 封装概述

06

实现最佳 ICGaN™ 热性能的 PCB 设计

实现最佳 ICGaN™ 热性能的 PCB 建议

12

结论

建议概要



www.camgandevices.com

Cambridge GaN Devices Limited

Deanland House
160 Cowley Road
Cambridge
CB4 0DL

Cambridge GaN Devices Ltd. 财产

版权所有 © 2022 Cambridge GaN Devices Limited, 160 Cowley Road,
Cambridge CB4 0DL。

注册商标®。保留所有权利。

未经版权所有方事先同意，不得复制、转载、修改、合并、翻译、储存
或使用此处展示的资料。上述所有产品和组别均为其所属组织的商标或
注册商标。

摘要

由于 ICeGaN™ HEMT 具有优越电气特性，特别是在硬开关应用中，器件损耗更低，主热焊盘连接至源极而非漏极，因此对于工程师而言，ICeGaN™ HEMT 比硅材料更具优势。兼具两种优势，使得该设计无需因热管理而将外部挤压式散热器安装到器件上。本文件将概述当使用 PCB 覆铜作为唯一的散热源时，优化热性能可采用的步骤。最终建议使用多层 PCB，使用散热通孔连接组件侧的“H”形覆铜区和下方更大的热焊盘区。

简介

氮化镓高电子迁移率晶体管 (GaN HEMT) 结构与 MOSFET 不同，因此更容易通过 HEMT 的源极焊盘散热。主散热源的选择可改变 PCB 布局优先级，同时兼顾热管理和电气性能，特别是可减少 EMI（电磁干扰）。本应用说明将解释如何优化 PCB 布局，实现 ICeGaN™ 的热性能和电气性能，同时最大限度地减少 EMI。

ICeGaN™ 概述

ICeGaN™ 是“Integrated Circuit Enhancement GaN，集成电路增强 GaN”的缩写词。这是一个基于增强 GaN HEMT 的平台，旨在凭借其超低比导通电阻和非常小的电容，在降低损耗和工作温度方面获得超越其他 MOSFET 解决方案的表现。ICeGaN™ 最得工程师青睐的优势在于，它可类似于驱动硅 MOSFET 的方法驱动，这意味着与所有其他增强 GaN 解决方案不同，ICeGaN™ 可与任何硅基驱动器兼容。CeGaN™ 反向恢复损耗为零，输出电荷极低，是高频高效率应用的理想选择。

目前市面上实现 e-mode GaN 的方法有两种，一是分立法，二是单片法，其中栅极驱动器是完全集成的。这两种解决方案各有缺陷。p-GaN 增强模式器件特定的低阈值电压（*Ohmic p-GaN 栅极解决方案* ~1.2 V，*肖特基 p-GaN 栅极器件* 1.7 V）要靠负驱动电压来限制高 dV/dt 瞬态期间发生 HEMT 假导通事件。另一方面，完全集成驱动器的做法，虽然能够减轻寄生效应，但也会牺牲掉使用经业界认证的低成本高性能硅基驱动器或集成了强大控制器的栅极驱动器的机会。此外，因为片上热耦合会导致功率器件自发热，栅极驱动器会有额外的损耗。由于存在栅极驱动器损耗，将完全集成的解决方案扩展到更高的功率级应用中，此做法也值得商榷。

与这边窘境形成鲜明对比的是，ICeGaN™ 器件具有更高的阈值电压（ $V_{th} \approx 3\text{ V}$ ），可抑制 dV/dt 相关的假导通事件发生，进而提高运行安全性。此外，ICeGaN™ 器件可用高达 20 V 的栅级电压（远远超过增强模式 p-GaN HEMT 仅 7 V 的标准电压）驱动，并且器件的跨导或动态性能不会受到任何影响。

有关 ICeGaN™ 驱动的更多信息，请查看我们的设备数据表。

ICeGaN HEMT 封装

ICeGaN HEMT 采用大尺寸的裸露电源焊盘，尽量降低结到外壳热阻 Θ_{JC} 。这些封装采用大多数功率 MOSFET 中常见的 5x6 mm 和 8x8 mm DFN 封装。但不同之处在于，MOSFET 中的大尺寸焊盘与漏极相连，而 ICeGaN™ 封装中使用的裸露焊盘与器件源极相连。在低侧应用中，可实现漏极覆铜面积最小化，减少传导和辐射 EMI。有关 CGD ICeGaN™ 封装的更多信息，请参见 CGD65A055S2 和 CGD65B200S2 等数据表。[1] [2].



图 1——ICeGaN DFN5x6 封装



图 2——ICeGaN DFN8x8 封装

实现最佳 ICGaN™ 热性能的 PCB 设计

GaN HEMT 的电气特性使其比同类硅材料的损耗更低。因此，在许多情况下，可将散热器安装到 PCB 覆铜区域，无需其他外部散热器。从而带来诸多潜在优势，如提高可靠性、降低制造成本、实现更高的功率密度设计。此外，配有电流感测组件的 CGD ICGaN™ 可将器件直接焊接到接地平面上，无需使用会影响散热路径的电流感测电阻。有关 CGD 的更多信息，请参考白皮书“ICeGaN™ 的热优势” [3]。

当然，用于 ICGaN™ 源极散热的覆铜区域越大，热性能就越好，但始终要进行折中处理。为了在折中方案中发挥 ICGaN™ 的最大优势，PCB 设计工程师可遵循本章中的一些建议指南。

充分利用顶层的“H”形区域

将大面积覆铜放置在与 ICGaN™ 同侧的 PCB 上难以实现。其他组件也在附近，如高压输入网、高压组件、高 dv/dt 以及漏极连接。都需要足够的爬电距离。如图 3 和图 4 所示，CGD DFN5x6 封装与大功率 LED 封装非常相似，阳极放置在一侧，阴极放置在另一侧，中间放置电隔离热焊盘。从图 5 中的“L”形源极焊盘可看出，CGD DFN8x8 器件底部可提供一个更直接的散热路径。因此，本章节主要介绍 DFN5x6 封装，但所有内容也适用于 DFN8x8。注意，这些图片并没有按比例插入，仅用于显示封装散热所需的路径。

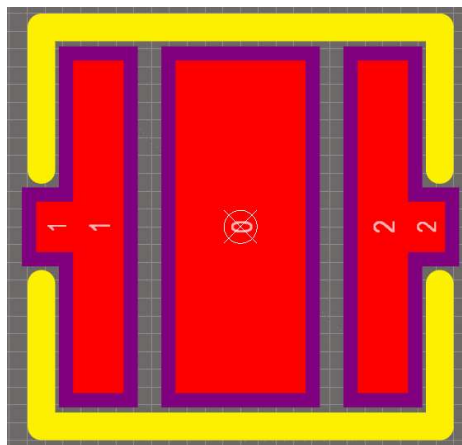


图3——3x3 功率LED 的典型PCB 封装

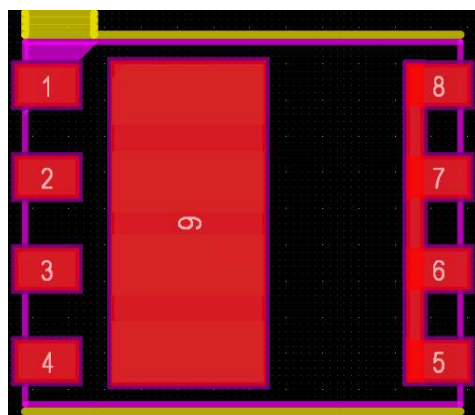


图4——CGD DFN5x6 的典型PCB 封装

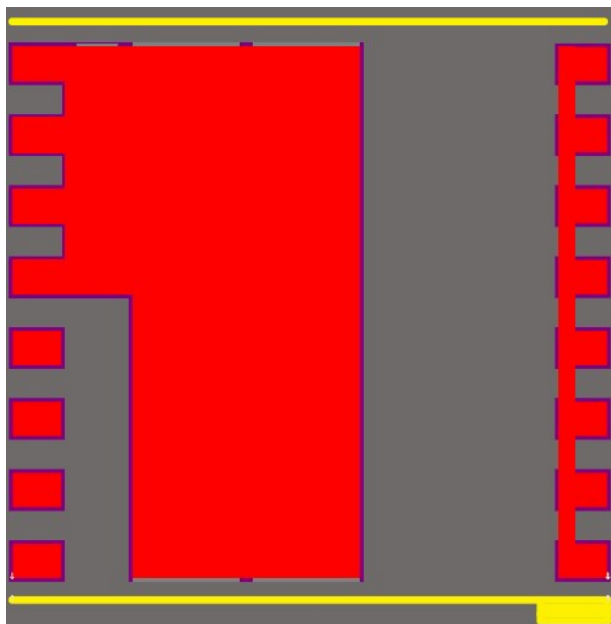


图5——CGD DFN8x8 的典型 PCB 封装

功率 LED 通常用于需考虑成本因素的大体积应用，因此排除了金属芯 PCB。我们采用以下策略来实现 FR-4 LED 的最大热性能，这些策略也适用于横向 GaN 器件。[2]

与大多数电气绝缘体一样，FR-4 是一种不良导热体，所以将覆铜区放置在组件侧效率最高。多个串联 LED 的直流电压较大，因此需要像 HEMT 一样考虑爬电距离和间隙。将器件放置在顶部覆铜区域“H”形部分的水平杆上，从而使散热片的热量向四周逸散，既能满足电气安全所要求的爬电距离，也能充分利用组件的覆铜区域。

如 [2] 和 [3] 所示，由于热扩散效应，覆铜区存在一个效益递减点。对于 1.6 mm FR-4 上的功率 LED 来说，将“H”形区域延伸到距离散热片 4-5 mm 以上的位置，几乎不会降低热阻。随着覆铜厚度的增加，70 μm 以上也存在效益递减点。图 6 显示了与 ICeGaN™ DFN5x6 同侧的铜层建议方向和最小“H”形区域。

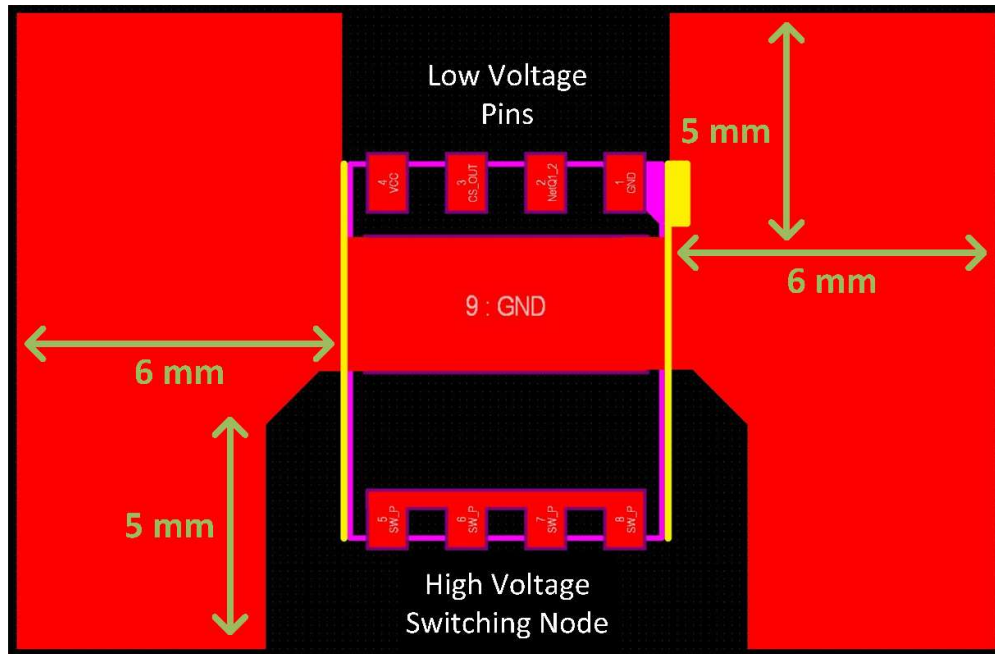


图 6——DFN5x6 示例中同侧铜区的最小推荐区域

因为电源焊盘与源极连接，而源极位于接地电位上，因此应尽可能扩大图 6 所示的区域，不存在辐射或传导 EMI 的风险。CGD QR 反激式评估板可显示实际详情，在 PCB 组件侧和对侧实现初级接地最大化。

充分利用其他 PCB 层

并非所有的 PCB 组件都包含足够大的覆铜区域。两个或多个铜层设计应考虑将散热通孔阵列与不同层区的覆铜区域连接。与热源（ICeGaN™ 的源极焊盘）垂直的散热通孔数量可降低对侧覆铜区域和内层覆铜区域或平面的热阻。增加通孔数量可提升性能，但是随着通孔与源极焊盘（热源）距离的增加，性能会迅速下降。最佳的解决方案是在裸露焊盘的下方区域直接布置通孔阵列。[4] [5] 通孔的电镀墙本质上是小铜管，可作为对侧和/或内部 PCB 层的热传导管。

散热通孔和可制造性

热管理和可制造性可能存在冲突。通孔过大会导致发生毛细现象，从裸露焊盘吸走焊料。通孔过小会增加制造成本（PCB 制造商指定最小尺寸，如果小于这个尺寸成本就会增加）。随着通孔直径的减小，沿电镀墙均匀覆铜的难度增大。采取折中方案就需要精心选择通孔尺寸，既要尽量减少焊料的渗入，又要最大限度地填充覆铜电镀墙。对于大多数电源 PCB 来说，推荐的最小覆铜厚度为 35 μm 。当 PCB 用于 SMT 封装冷却时，在预算允许的情况下，70 μm 的覆铜厚度会使冷却效果显著提升。[4] 在 X 轴和 Y 轴上，孔径为 0.25 mm（电镀前）、外径为 0.5 mm、间隔为 0.75 或 0.8 mm 的通孔阵列可兼顾传热和可制造性。在实际情况中，由于孔径极小且数量较多，很难在通孔内侧进行多次电镀。但是，35 μm 的覆铜厚度仍适用于填充覆铜电镀墙的主体部分，同时降低焊料渗漏的可能性。

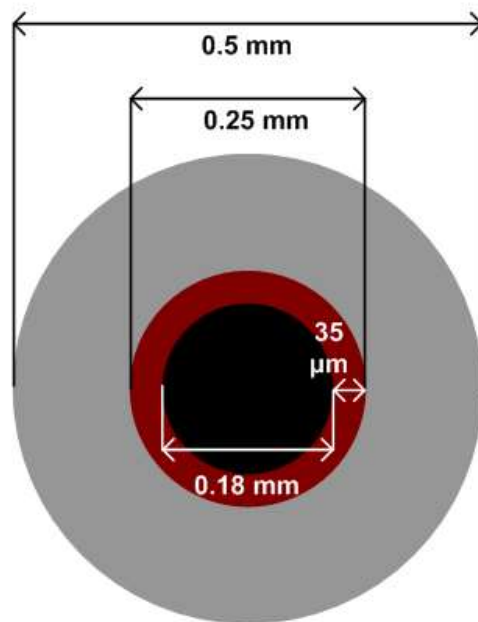


图7——推荐的散热通孔、比例及 35 μm 厚度的覆铜层详情

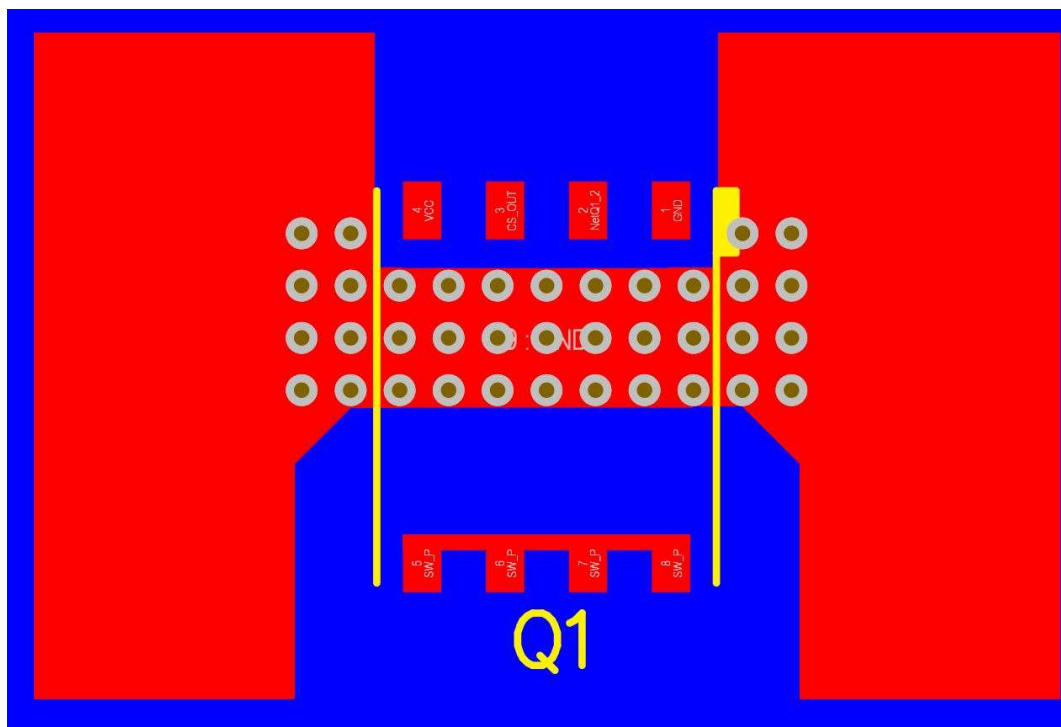


图8——DFN5x6 示例中推荐在源极焊盘内使用的散热通孔阵列

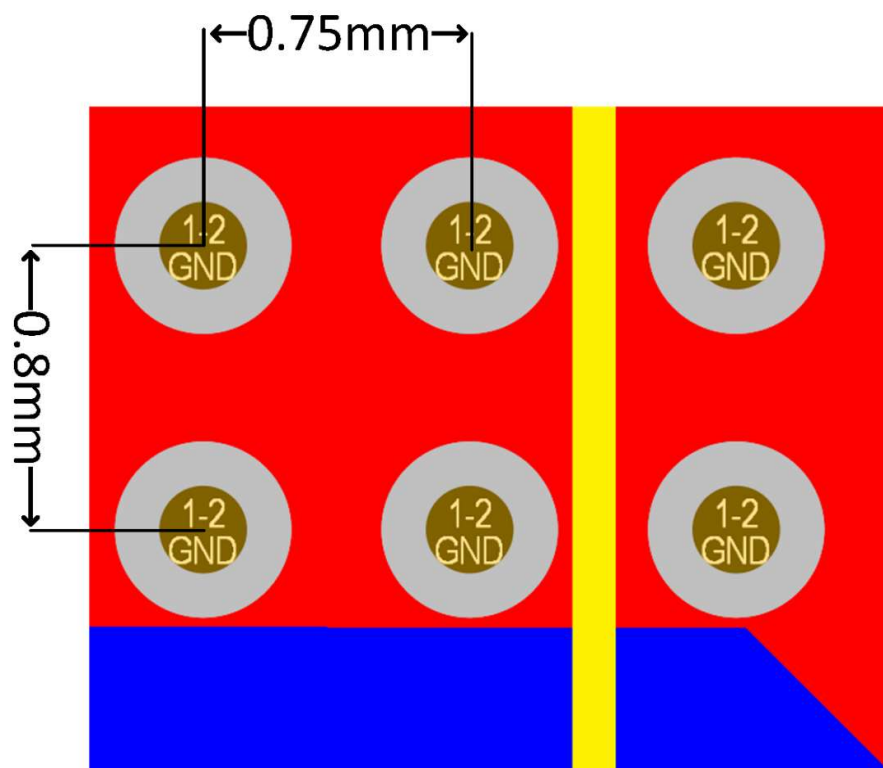


图9 通孔间距示例大图

通孔掩蔽

掩蔽是指用阻焊层覆盖通孔的过程。可用于组件侧或对侧。很少出现两侧同时掩蔽的情况，因为这样会把空气困在电镀墙内，在组装过程中由于受热而膨胀，导致 PCB 表面变形。一般首选在 PCB 组件侧（HEMT 下方）进行掩蔽，这样就能阻止焊料流入通孔，但也会减少热焊盘和 PCB 之间的接触面积。在 PCB 对侧进行掩蔽存在一个明显的弊端，因为焊剂排气会引起空洞。[4]

替代技术被称为“侵占”技术，可使一些焊料渗入，但要通过对侧每个导热通孔周围留下的裸铜圆环来限制 PCB 对侧的焊料量。如果操作得当，则有助于使用焊料填充电镀墙，略微改善热阻。然而，该技术会造成微小凸起，导致不能在对侧表面安装散热器。

由于最终应用不同，所以采用这些方法所能提供的优势也不同，但提供的热性能几乎相同，因此 CGD 并不建议采用掩蔽或侵占通孔。

热阻测试

测试 DFN5x6 封装，从而确定源极热焊盘的结-外壳热阻 (Θ_{JC})。测试结果在 1.41 至 1.53 °C/W 之间。其中一个采用的是一个单面测试 PCB，其与源极相连的组件侧覆铜面积约为 100 mm²，另一个与漏极引脚相连的覆铜面积约为 300 mm²。在耗散功率为 2.3 W 的配置中，其结到环境热阻 Θ_{JA} 约为 50 °C/W。

我们开发出一款测试夹具，可作为线性稳压器的旁路元件，运行采用 DFN5x6 封装的 ICeGaN™ HEMT，从而获得双层 PCB 上精确的耗散功率 Θ_{JA} 数据。通过设置线性稳压器功率耗散方程中的变量来严格控制功率耗散。

$$P_{DISS} = (V_{IN} - V_O)I_O \quad (1)$$

线性稳压控制器的控制回路可主动调整 HEMT 的导通电阻，无论温度如何。测试夹具包括分线 PCB 上的 ICeGaN™ HEMT（可访问所有引脚）和一个带有线性稳压控制器和相关电路的单独控制 PCB。在分线 PCB 上，35 μm 厚度的覆铜中有 744 mm² 与顶层源极焊盘连接，1270 mm² 与底层源极焊盘连接，52 个直径 0.5 mm、孔径 0.25 mm 的散热通孔与这两层连接。附录 B 提供了分线 PCB 的完整的原理图和布局。表 1 和表 2 显示了结果。

在静止环境中进行测试，一个热电偶用于测量环境温度，另一个热电偶连接到 HEMT 外壳顶部，使用热成像仪测量 ICeGaN™ 结温。使用两种测量方法寻找不同测量技术之间的相关性，并确保提供准确的数据。

这些结果表明，使用推荐的最小覆铜面积和散热通孔时，工程师可预估结温增长范围，在 30 °C/W 和 35 °C/W 之间。

输入电压 (V)	输出电压 (V)	输出电流 (A)	功率耗散 (W)	环境温度 (°C)	外壳温度 (°C)	外壳温度升高 (°C)	结到环境热阻 (°C/W)
4.3	3.3	0.1	0.1	16.5	20.1	3.6	36
4.3	3.3	0.2	0.2	16.7	24.9	8.2	41
4.3	3.3	0.5	0.5	17.0	34.3	17.3	34.6
4.3	3.3	1	1	17.2	49.1	31.9	31.9

表 1——使用热成像技术测量的 DFN5x6 ICeGaN™ HEMT 结到环境热阻

输入电压 (V)	输出电压 (V)	输出电流 (A)	功率耗散 (W)	环境温度 (°C)	外壳温度 (°C)	外壳温度升高 (°C)	外壳到环境热阻 (°C/W)
4.3	3.3	0.1	0.1	16.1	22.1	6.0	60.0
4.3	3.3	0.5	0.5	16.8	34.1	17.3	34.6
4.3	3.3	1.0	1.0	17.0	47.5	30.5	30.5

表 2——使用粘接到封装顶部表面热电偶的 DFN5x6 ICeGaN™ HEMT 外壳到环境热阻

结论

总而言之，采用两种封装的 ICeGaN 热管理可总结如下（按重要性列举）：

- 在组件侧采用 H/狗骨形状，在满足爬电距离和间隙限制的同时，最大限度扩大覆铜区域。
- 在整个源极焊盘区域布置通孔阵列。
- 除漏极连接处以外，尽量延伸对侧覆铜区域。如果可以，内层也应扩大覆铜区域。

电气设计最佳实践：

- 尽量使 HEMT 漏极靠近开关电感器或变压器绕组的引脚或焊盘，缩小开关节点区域。
 - 高侧 HEMT（例如降压变换器或半桥的顶部晶体管）源极必须尽量靠近电感器/变压器。
- 使用刚好可容纳 ICeGaN 漏极焊盘 (5-8) 和电感器/变压器引脚/焊盘的紧凑结构，再次缩小开关节点区域。
- 禁止在开关节点下方的对侧或内层上进行接地连接或任何其他网络连接。但在其他层上可应用这些形状和尺寸相同的区域，并通过通孔进行连接。最大限度地扩大散热覆铜区域。
 - 使用直径为 0.5 mm，孔径为 0.25 mm 的散热通孔可实现开关节点有效连接。

参考文献

- [1] Cambridge GaN Devices, “CGD65A055S2 Datasheet,” 03 2022. [联机]. Available: www.camgandevices.com. [访问日期: 07 03 2022].
- [2] Cambridge GaN Devices, “CGD65B200S2 Datasheet,” 03 2022. [联机]. Available: www.camgandevices.com. [访问日期: 17 03 2022].
- [3] Cambridge GaN Devices, “Thermal Advantage of ICeGaN™,” 03 2022. [联机]. Available: www.camgandevices.com. [访问日期: 17 03 2022].
- [4] CREE, “Optimizing PCB Thermal Performance for XLamp LEDs,” 07 2007. [联机]. Available: https://cree-led.com/media/documents/XLamp_PCB_Thermal.pdf. [访问日期: 10 03 2022].
- [5] TI, “PowerPAD™ Thermally Enhanced Package,” 07 2018. [联机]. Available: <https://www.ti.com/lit/an/slma002h/slma002h.pdf?ts=1646990410531>. [访问日期: 10 03 2022].
- [6] IEC, “IEC 62368-1:2018,” 04 10 2018. [联机]. Available: <https://webstore.iec.ch/publication/27412>. [访问日期: 16 03 2022].

修订记录

修订号	备注	工程师	日期
1.0	初版	JF	18/03/2022



勇于创新

主要联系人

GIORGIA LONGOBARDI

创始人兼首席执行官

+44 1223 425185

www.camgandevices.com

英国剑桥

ANDREA BRICCONI

业务开发副总裁

andrea.bricconi@camgandevices.com

www.camgandevices.com

德国慕尼黑

info@camgandevices.com

sales@camgandevices.com

techsupport@camgandevices.com

免责声明

Cambridge GaN Devices Limited 提供的信息准确无误。Cambridge GaN Devices Limited 不对任何接收方或第三方因使用或执行本指南中给出的数据产生的损害承担赔偿责任，包括（但不限于）人身伤害、财产损失、利润损失、商业机会损失、使用损失、业务中断或以任何方式产生的间接、特殊、偶然或后果性损害。

Cambridge GaN Devices Limited 提供技术或其他服务，不对接收方或第三方承担任何义务或责任。

Cambridge GaN Devices Limited

Deanland House

160 Cowley Road

Cambridge

CB4 0DL

